

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

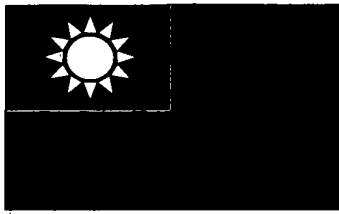
Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

9/0010TW



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 11 日
Application Date

申請案號：092105250
Application No.

申請人：台灣茂矽電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 21 日
Issue Date

發文字號：09220839570
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	DMOS之終止結構
	英 文	TERMINATION STRUCTURE OF DMOS DEVICE
二、 發明人 (共4人)	姓 名 (中文)	1. 莊喬舜 2. 謝興煌
	姓 名 (英文)	1. Chuiao-Shun CHUANG 2. Alex HSIEH
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 高市苓雅區林南街10巷11號6樓 2. 新竹縣關西鎮南和里一鄰6-9號
	住居所 (英 文)	1. 6F, No. 11, Lane 10, Lin Nan Street, Lin Ya District, Kaohsiung City, Taiwan, R.O.C. 2. No. 6-9, Lin 1, Nan Ho Li, Kuan Hsi Chen, Hsinchu Hsien, Taiwan,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 台灣茂矽電子股份有限公司
	名稱或 姓 名 (英文)	1. Mosel Vitelic Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路19號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 19, Li Hsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. Hung-Chiu HU



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	3. 曾茂松 4. 張建平
	姓名 (英文)	3. Mao-Song TSENG 4. Chiw-Ping CHANG
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 新竹市明湖路400巷68弄20號 4. 新竹市明湖路1050巷432號5樓
	住居所 (英文)	3. No. 20, Alley 68, Lane 400, Min Hu Road, Hsinchu City, Taiwan, R.O.C. 4. 5F, No. 432, Lane 1050, Min Hu Road, Hsinchu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



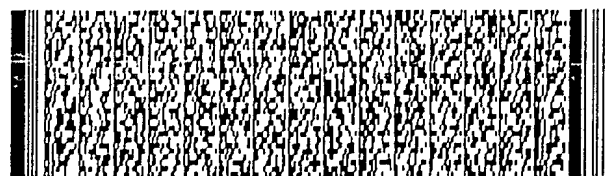
四、中文發明摘要 (發明名稱：DMOS之終止結構)

本發明關於一同時形成渠溝 DMOS 元件與其終止結構的製作方法，首先形成一表面沉積磊晶層之矽基板，並於該磊晶層表面植入雜質以定義主動區域；隨後於該主動區域內蝕刻出複數個 DMOS 渠溝，並氧化形成閘極氧化層，同時於該主動區域周圍成長場氧化層以為終止結構之主體；整體形成多晶矽後，以微影蝕刻技術產生該多晶矽閘極以及該場氧化層上方並延伸至該鄰近主動區域之終止結構多晶矽層；並且直接以該終止結構多晶矽層與該場氧化層做為遮罩，植入雜質以形成複數個源極；隨後於表面依序成長隔離層與源極金屬接觸層，該隔離層係用以隔離該多晶矽閘極與該源極金屬接觸層，該源極金屬接觸層係同時連接該主動區域與該終止結構多晶矽層。

五、(一)、本案代表圖為：第五 E 圖

六、英文發明摘要 (發明名稱：TERMINATION STRUCTURE OF DMOS DEVICE)

A method to fabricate a trenched DMOS transistor cell and the related termination structure simultaneously is disclosed. The method comprises the steps of: (a) forming an epitaxial layer on a silicon substrate with an active region therein; (b) creating a plurality of DMOS trenches; (c) growing a gate oxide layer on the active region and a field oxide layer as the termination structure; (d) forming



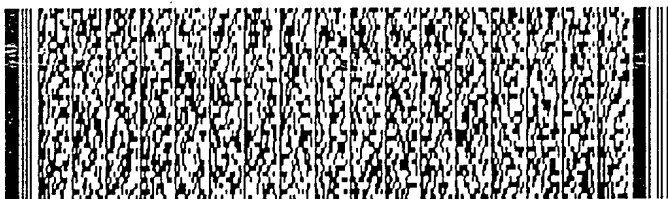
四、中文發明摘要 (發明名稱：DMOS之終止結構)

(二)、本案代表圖之元件代表符號簡單說明：

矽基板 1	磊晶層 10
終止區域 11	主動區域 12
DMOS渠溝 13	閘極氧化層 21
場氧化層 22	多晶矽閘極 30
終止結構多晶矽層 31	源極 40
第二導電型摻雜區 41	隔離層 50
主動區域接觸窗 51	第一接觸窗 52
源極金屬接觸層 60	汲極金屬接觸層 61

六、英文發明摘要 (發明名稱：TERMINATION STRUCTURE OF DMOS DEVICE)

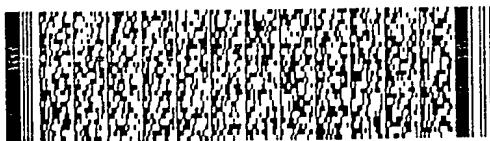
a plurality of poly-gates and a termination poly layer by deposition, lithography and etching processes; (e) implanting source dopant; and (f) depositing an isolation layer and a source metal contact layer. The termination poly layer is positioned above the field oxide layer with an extended part on the neighboring active region. Moreover, the termination poly layer and the field



四、中文發明摘要 (發明名稱：DMOS之終止結構)

六、英文發明摘要 (發明名稱：TERMINATION STRUCTURE OF DMOS DEVICE)

oxide layer mask the substrate when the source dopant is implanted. The isolation layer is used to isolate the poly-gate layer from the source metal contact layer, and the source metal contact layer contacts the active region and the termination poly layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

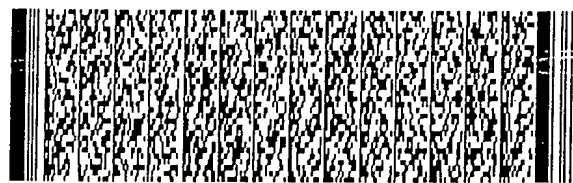
發明所屬之技術領域：

本發明係關於一種終止結構，尤其是一種提供渠溝式 DMOS 元件之終止結構。

先前技術：

DMOS (diffused MOS: 擴散型金氧半電晶體) 是一種很重要的功率電晶體元件 (Power Transistor)，並廣泛應用於電源供應器、電力控制裝置等大電壓之系統；而在眾多已發表之功率電晶體架構中，渠溝式功率電晶體 (Trenched Power Transistor) 是一種受到矚目的設計；並且已有報導指出渠溝式功率電晶體在效能上與積集度的改善上，係優於平面式功率電晶體。

圖一 A 至圖一 F 係典型渠溝式 DMOS 之製程；如圖一 A 所示，係在 n+ 型矽基板 1 上成長 n 型磊晶層 10，以高溫氧化於該終止結構所在位置成長終止氧化層 20，並利用該終止氧化層 20 為遮罩，植入 p 型雜質以產生 p 型主動區域 12；如圖一 B 所示，係於該 p 型主動區域 12 內蝕刻出複數個 DMOS 渠溝 13，該 DMOS 渠溝 13 係穿過該 p 型主域 12 並伸入下方之 n 型磊晶層 10，隨後整體氧化於該主動區域 12 生成閘極氧化層 21，並使該終止氧化層 20 成長為場氧化層 22；如圖一 C 所示，係以化學氣相沉積整體沉積多晶矽層，並蝕刻去除該 DMOS 渠溝周圍磊晶層 10 表面之多晶矽，以形成位於該 DMOS 渠溝 13 內之多晶矽閘

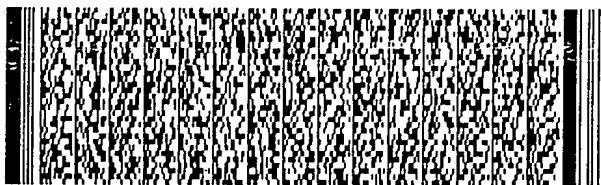


五、發明說明 (2)

極 30；如圖一 D所示，微影定義該源極 40所在位置，並以源極光阻 40PR為遮罩，於該主動區域 12表面植入 n型雜質，以形成包圍該 DMOS渠溝 13之 n+源極 40；如圖一 E所示，以化學氣相沉積整體成長隔離層 50，並於該源極 40上方蝕刻出複數個主動區域接觸窗 51，並植入該 p型雜質以形成包圍該源極之濃摻雜區 41；如圖一 F所示，於該隔離層 50上方整體沉積源極金屬接觸層 60，該源極金屬接觸層 60係藉由該主動區域接觸窗 51與該主動區域 12連接，且該源極金屬接觸層 60於該場氧化層 22上方係開有接觸窗使該隔離層 50裸露；此外，該 n型矽基板 1背面係覆蓋有汲極金屬接觸層 61；於該汲極金屬接觸層 61與該源極金屬接觸層 60間外加驅動電壓，並且於該多晶矽閘極 30外加控制電壓，可以決定該渠溝 DMOS之源極與汲極是否導通。

雖然渠溝式功率電晶體係優於平面式功率電晶體，但是由於渠溝式功率電晶體的結構較之平面式功率電晶體複雜，往往必須使用更多次的微影製程，因而增加該電晶體製程的複雜度；因此，如何減少微影製程之次數，也就成了製程改良上的一個方向。

在上述微影製程中，可以作為製程改良的方向，主要集中於配合源極離子植入之微影製程與配合多晶矽層沉積之微影製程的省略；如圖二所示，係於圖一 D之製程中省略原本用以定義該源極 40離子植入範圍所使用之源極光罩（未圖示，即用以形成源極光阻 40PR之光罩），而直接植入 n型雜質；此時該矽基板 1表面僅以該場氧化層 22與該多晶矽閘極



五、發明說明 (3)

30為遮罩，導致該 n型 摻雜區 40a與該 n型 磊晶層 10間之該 p型主動區域 12之水平寬度 w過窄（如圖中所標示之 A處）；因此，該 p型主動區域 12容易於 A處被水平打穿（Punch Through）而導致電性崩潰。

但是，為避免靜電放電對該功率電晶體性能的影響，在晶片設計中往往必須引入一靜電釋放元件（Electro Static Discharge; ESD）14之保護措施，如圖三所示係一典型之 ESD14示意圖，可以發現，為了形成一 ESD多晶矽層 32，在該製程中必須具備一多晶矽光罩以定義該 ESD多晶矽層 32之位置，因而導致該配合多晶矽層沉積之微影製程通常無法省略。

此外，由於功率電晶體往往必須承受高電壓，因此必須設計一終止結構（Termination Structure），不僅防止電性崩潰提早發生，同時亦可以降低漏電流的產生；傳統之終止結構有如下幾種：區域氧化法（local oxidation of silicon; LOCOS）、電場平板（field plate）與護環元件（guard ring）等，其中，又以區域氧化法之製程最為簡單。

如圖一 B所示，該圖之右側係有一場氧化層（Field Oxide; FOX）做為該終止結構之主體；由於場氧化層之製程特性，對於該主動區域 12周圍之電場密集效應之改善有限，往往必須搭配其他終止結構（如電場平板）以求獲致較佳之效果。

如圖四 A所示，係電場平板 16之示意圖，電場平板 16係



五、發明說明 (4)

位於氧化層上之導電層，一般可以是多晶矽層或金屬層，當該電場平板 16 加以負電壓時，該電場平板 16 下表面將產生正電荷使該 pn 接面空乏區 (Depletion Region) 邊界 15 可以再往外延伸為 15'，反之當該電場平板 16 外加以正電壓時，該空乏區便會內縮為 15''；如圖四 B 所示，係一平面式 pn 接面，外接一電場平板 16，該平面式 pn 接面空乏區邊界 15 之示意圖，藉由對該電場平板 16 施加負電壓，可以改善該接合面邊緣電場密集的現象。

本發明之目的係提出一種終止結構，不僅可以配合製程中省略該源極光罩的要求，同時亦具備上述場氧化層與該電場平板之優點。

發明內容：

本發明係揭露一種 DMOS 元件與終止結構之製作方法，首先成長一摻雜有第一導電型雜質之磊晶層於一濃摻雜有該第一導電型雜質之矽基板上方，並以微影及蝕刻技術於該磊晶層表面形成一終止氧化層做為該 DMOS 元件主動區域之遮罩，藉以植入一第二導電型雜質以定義該主動區域；隨後於該主動區域內蝕刻出複數個 DMOS 渠溝，該複數個 DMOS 渠溝底部係穿過該主動區域底部並伸入下方之磊晶層中，隨後施以高溫氧化，使該主動區域整體成長閘極氧化層，同時該終止氧化層亦成長為場氧化層。

以化學氣相沉積整體形成多晶矽層，並以微影及蝕刻技

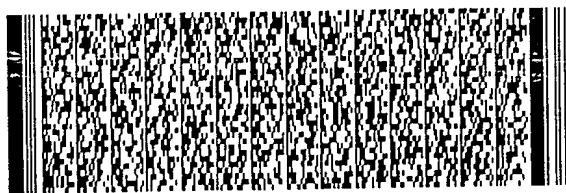
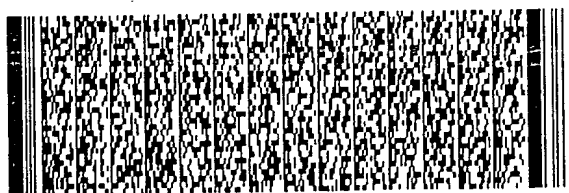


五、發明說明 (5)

術形成複數個多晶矽閘極以及位於該場氧化層上方延伸至鄰近 DMOS 渠溝上方之終止結構多晶矽層；緊接著以該終止結構多晶矽層與該場氧化層做為遮罩，直接植入該第一導電型雜質以形成第一導電型摻雜區；整體成長隔離層，施以微影及非等向性蝕刻技術，於該第一導電型摻雜區上方蝕刻出複數個主動區域接觸窗，同時於該終止結構多晶矽層上方蝕刻出第一接觸窗；以該隔離層為遮罩直接植入該第二導電型雜質，以形成複數個第一導電型源極以及複數個包圍該源極之第二導電型濃摻雜接觸區；最後整體沉積金屬層並以微影及蝕刻技術去除位於該終止區域上方之部分金屬層以形成源極金屬接觸層，該源極金屬接觸層係藉由該主動區域接觸窗與該主動區域連接，並藉由該第一接觸窗與該終止結構多晶矽層連接。

由於該終止結構多晶矽層係與該多晶矽閘極同時蝕刻產生；並可以直接利用該終止結構多晶矽層做為植入該第一導電型雜質之遮罩，因此，與習知技藝相較，本發明省略用以定義該 DMOS 源極之微影製程。

此外，當該 DMOS 電晶體運作時，該終止結構多晶矽層與該下方之主動區域間產生電容，因而造成該主動區域上表面之該 pn 接面空乏區 (depletion layer) 往外延伸，不僅增加該第一導電型 DMOS 源極與該 pn 接面之水平距離，並紓解該場氧化層下方 pn 接面上之電場擁擠現象，避免電性崩潰提早產生。



五、發明說明 (6)

實施方式：

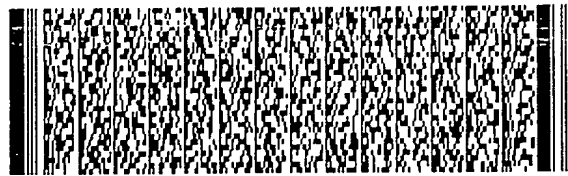
圖五 A至圖五 E係本發明渠溝式 DMOS元件及其終止結構之製程示意圖。

如圖五 A所示，首先成長 n-磊晶層 10於 n+矽基板 1上方；整體成長氧化層於該 n-磊晶層 10上表面 10a並以微影技術定義主動區域 12與包圍該主動區域 12之終止區域 11，施以蝕刻技術去除該主動區域 12表面之氧化層，於該終止區域 11表面形成終止氧化層 20；隨後施以全面氧化，形成犧牲氧化層於所有表面，並以該終止氧化層 20做為遮罩於該主動區域 12內植入 p+型雜質，以形成該主動區域 12。

隨後，如圖五 B所示，於該主動區域 12內蝕刻出複數個 DMOS渠溝 13，且該複數個 DMOS渠溝 13之底部係落該主動區域 12基底之下方；藉由整體蝕刻去除該犧牲氧化層，並施以高溫氧化，形成閘極氧化層 21於該主動區域 12之所有表面，同時使該終止氧化層 20成長以形成場氧化層 22。

如圖五 C所示，整體沉積多晶矽層，並以微影及蝕刻技術，去除位於磊晶層上表面 10a上方以及位於場氧化層 22上方之部分多晶矽層，以形成位於該 DMOS渠溝 13內之多晶矽閘極 30以及位於該場氧化層 22上方並有一延伸部往該主動區域 12延伸一定距離之終止結構多晶矽層 31；隨後直接以該終止結構多晶矽層 31與該場氧化層 22做為遮罩，植入該 n型雜質於該相鄰二 DMOS渠溝 13間以形成 n+摻雜區 40b。

如圖五 D所示，整體形成隔離層 50，並施以微影及二階



五、發明說明 (7)

段非等向性蝕刻技術，第一階段蝕刻係去除該隔離層 50 與該閘極氧化層 21 以形成主動區域接觸窗 51 於該 n+ 摻雜區 40b 上方，同時亦形成第一接觸窗 52 於該終止結構多晶矽層 31 上方。

第二階段蝕刻係如圖五 E 所示，直接以該隔離層 50 為遮罩，蝕刻去除該裸露之 n+ 摻雜區 40b 與該裸露之終止結構多晶矽層 31；緊接著直接植入 p+ 型雜質，使該主動區域接觸窗 51 之二側壁鄰接二個 n+ 源極 40，且底面鄰接一 p+ 摻雜區 41。

最後，整體沉積金屬層，並施以微影及蝕刻技術去除該終止區域 11 上方之部分金屬層以形成源極金屬接觸層 60，該源極金屬接觸層 60 係藉由該主動區域接觸窗 51 與該 n+ 源極 40 以及該 p+ 摻雜區 41 連接，同時亦藉由該第一接觸窗 52 與該終止結構多晶矽層 31 連接。

在該矽基板 1 背面使用化學機械研磨 (Chemical Mechanical Polishing) 去除多餘沉積層使該矽基板 1 裸露，並在該矽基板 1 背面整體沉積汲極金屬接觸 61 層。

在較佳實施例之情況下，上述之隔離層 50 可以是矽酸玻璃層，而上述之源極金屬接觸層 60 可以由下而上依序為鈦、氮化鈦與鋁矽銅合金所構成。

比較圖一 D、圖二與圖五 C，在圖一 D 中係使用微影技術定義該源極 40 所在位置，因而該源極 40 與該主動區域 12 之邊界間可以保持足夠之水平距離以防止在上述源極 40 與 n 型磊晶層 10 間產生之該主動區域 12 水平打穿；然而，在圖二中省略如圖一 D 製程中所使用之源極光罩後，如圖中所示位置 A，



五、發明說明 (8)

該 n+摻雜區 40a 與該 n 型磊晶層 10 間之 p 型主動區域 12 之水平寬度 w 太窄，因而導致之該 p 型主動區域容易被水平打穿 (Punch Through) 而導致電性崩潰。

因此，如圖五 C 所示，本發明藉由改變該配合多晶矽層使用之多晶矽層光罩圖案，在蝕刻形成該多晶矽閘極 30 的同時，亦形成終止結構多晶矽層 31，且該終止結構多晶矽層 31 係覆蓋於終止氧化層 20 並往該主動區域 12 延伸一定距離；隨後直接以該終止結構多晶矽層 31 與該場氧化層 22 做為遮罩以植入 n 型摻雜；因此，該 n+摻雜區 40a 與該 n 型磊晶層 10 間之該 p 型主動區域 12 之水平寬度增加為 w' ($w' > w$)，可以避免如圖二中容易被水平打穿導致電性崩潰之問題。

同時，由於在一般功率電晶體中，往往必須加入該 ESD 電路元件之設計以做為保護措施；因此，上述之多晶矽層光罩往往是不可省略的；因此，本發明藉由改變該多晶矽層光罩之圖案以形成該終止結構多晶矽層 31，因而可以省略該如圖一 D 中所不可缺少之源極光罩，以減少一道微影製程。

此外，藉由該終止結構多晶矽層 31、場氧化層 22 與磊晶層 10 的 MOS 三明治結構，可以產生電場平板的效果；如圖六所示係本發明終止結構施加有驅動電壓之示意圖，該源極金屬接觸層 60 係接地，導致該 n+源極 40 與該終止結構多晶矽層 31 亦接地，同時於該矽基板 1 之背面之該汲極金屬接觸層 61 施以正電壓；因此該終止結構多晶矽層 31 與該下方之磊晶層 10 間產生類似電容之效應，即帶負電荷粒子形成於該終止結構多晶矽層 31 之下表面，同時亦有帶正電荷粒子形成於相對



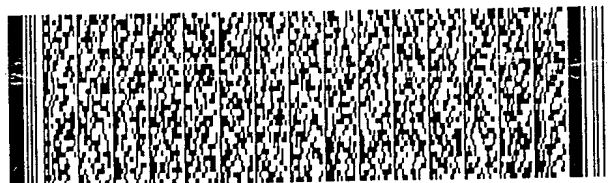
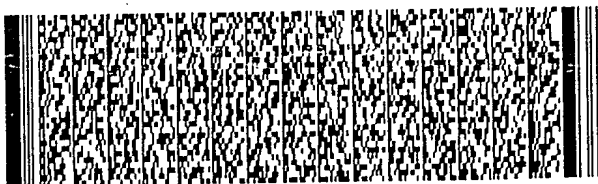
五、發明說明 (9)

應磊晶層 10 之上表面，造成該場主動區域 12 與該終止區域 11 間 pn 接面之空乏區 15, 15' 向外延伸，因而增加該 n+ 區域 40b 與該主動區域 12 邊界之水平距離，而能更進一步防止電性崩潰的發生。

如圖七所示，係本發明終止結構等電位線之電腦模擬圖，藉由在該場氧化層 22 上方外加一終止結構多晶矽層 31，可以將該電場梯度密集區往該主動區域 12 外側延伸，同時使該主動區域 12 邊緣圓柱狀 pn 接面處等電位線之曲率平緩，以降低該處之電場密度，防止電性崩潰之提早發生。

如圖八所示，係本發明另一實施例示意圖，在如圖五 D 所示之步驟中，該非等向性蝕刻係以該終止結構多晶矽層 31 與該 n+ 摻雜區 40b 為蝕刻終止層，直接一次去除該隔離層 50 與該閘極氧化層 21，以形成該主動區域接觸窗 51 與該第一接觸窗 52；隨後，直接全面植入 p+ 雜質，該 p+ 雜質之植入量係足以使該裸露之 n+ 摻雜區 40b 之電性轉變為 p 型以形成 p+ 摻雜區 41 與該相鄰之 n+ 源極 40，且該 p+ 摻雜區 41 之底部係落於該 n+ 源極 40 之底部下方。

以上所述係利用較佳實施例詳細說明本發明，而非限制本發明之範圍，而且熟知此類技藝人士皆能明瞭，適當而作些微的改變及調整，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍。



圖式簡單說明

圖式簡單說明：

圖一 A至圖一 F為傳統之渠溝式 DMOS製程示意圖。

圖二為圖一 B之製程中，省去源極光罩進行源極離子植入製程之示意圖。

圖三為 ESD之示意圖。

圖四 A與圖四 B為電場平板之示意圖。

圖五 A至圖五 E為本發明之渠溝式 DMOS製程示意圖。

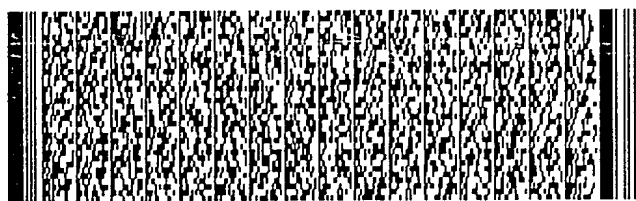
圖六為本發明之終止結構電場施加電場後之示意圖。

圖七為本發明之終止結構電場分佈之電腦模擬圖。

圖八為本發明之渠溝式 DMOS另一實施例示意圖

圖號說明：

矽基板 1	磊晶層 10
終止區域 11	主動區域 12
DMOS渠溝 13	接面空乏區邊界 15, 15', 15"
圓柱狀 pn接面 15a, 15a'	磊晶層上表面 10a
電場平板 16	靜電釋放元件 14
終止氧化層 20	閘極氧化層 21
場氧化層 22	多晶矽閘極 30
終止結構多晶矽層 31	源極 40
第一導電型摻雜區 40a, 40b	第二導電型摻雜區 41
隔離層 50	源極光阻 40PR



圖式簡單說明

主動區域接觸窗 51

源極金屬接觸層 60

ESD金屬層 62

第一接觸窗 52

汲極金屬接觸層 61

ESD多晶矽層 32



六、申請專利範圍

申請專利範圍：

1. 一種同時形成渠溝 DMOS 元件與終止結構的製作方法，至少包括以下步驟：

成長一 n -磊晶層於一 n^+ 矽基板上方；

以高溫氧化整體成長一氧化層於該 n -磊晶層表面；

施以微影及蝕刻技術形成一終止氧化層，同時定義該 DMOS 元件之主動區域範圍；

以該終止氧化層做為遮罩植入 p^+ 型雜質以形成該主動區域於該 n -磊晶層中；

施以微影及蝕刻技術，形成複數個 DMOS 渠溝於該主動區域內，且該複數個 DMOS 渠溝底部係落於該主動區域基底之下方；

整體施以高溫氧化，形成一閘極氧化層於所有表面；

沉積一多晶矽層於所有表面並填滿該複數個 DMOS 渠溝；

對該多晶矽層施以微影及蝕刻技術，形成複數個多晶矽閘極與一終止結構多晶矽層，且該終止結構多晶矽層係位於該閘極氧化層與該終止氧化層之上方；

以該終止結構多晶矽層與該終止氧化層做為遮罩，直接植入該 n^+ 型雜質以形成複數個 n^+ 摻雜區；

形成一隔離層於所有表面；

施以微影及非等向性蝕刻技術，於該 n^+ 摻雜區上方蝕刻出複數個主動區域接觸窗，同時於該終止結構多晶矽層上方蝕刻出一第一接觸窗；

全面植入 p^+ 雜質，以使該主動區域接觸窗之底面鄰接有



六、申請專利範圍

一 p+摻雜區；

全面沉積一源極金屬接觸層，且該源極金屬接觸層係填滿該複數個主動區域接觸窗與該第一接觸窗；

移除該矽基板背面之沉積層以使該 n+矽基板裸露；以及全面沉積一汲極金屬接觸層於該 n+矽基板背面。

2.如申請專利範圍第 1項之方法，在形成該終止氧化層後以及植入 p+雜質形成該主動區域前，全面施以氧化以形成一犧牲氧化層。

3.如申請專利範圍第 2項之方法，在施以微影及蝕刻技術形成該 DMOS渠溝後以及形成閘極氧化層之前，整體施以蝕刻以去除該犧牲氧化層。

4.如申請專利範圍第 1項之方法，其中之終止結構多晶矽層係具有一延伸部往該鄰近之 DMOS渠溝延伸。

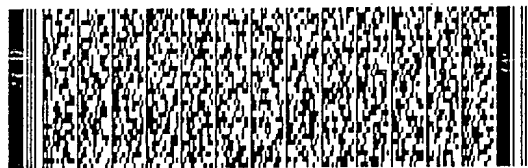
5.如申請專利範圍第 1項之方法，形成該隔離層後所施以之微影及非等向性蝕刻技術中，該非等向性蝕刻技術係一二階段非等向性蝕刻技術，包括：

蝕刻去除該隔離層與該閘極氧化層；以及

蝕刻去除該裸露之終止結構多晶矽層、該裸露之 n+摻雜區與位於其間之該閘極氧化層。

6.如申請專利範圍第 1項之方法，形成該隔離層後所施以之微影及非等向性蝕刻技術中，該蝕刻係用以去除該隔離層與該閘極氧化層，並以該終止結構多晶矽層與該 n+摻雜區為蝕刻終止層。

7.如申請專利範圍第 6項之方法，蝕刻去除該隔離層與該閘



六、申請專利範圍

極多晶矽層後，植入之 p+雜質係足以使該裸露之 n+摻雜區電性轉變為 p型。

8.如申請專利範圍第 1項之方法，其中沉積之隔離層係矽酸玻璃層。

9.如申請專利範圍第 1項之方法，其中係使用化學機械研磨移除該矽基板背面之沉積層以使該 n+矽基板裸露。

10.如申請專利範圍第 1項之方法，其中沉積之源極金屬接觸層係由下而上依序沉積鈦、氮化鈦與鋁矽銅合金。

11.如申請專利範圍第 1項之製作方法，其中之 n型摻雜係以 p型摻雜取代，且 p型摻雜係以 n型摻雜取代。



第 1/20 頁



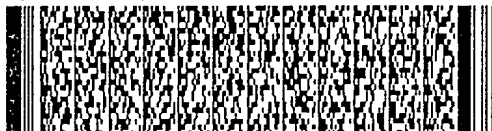
第 2/20 頁



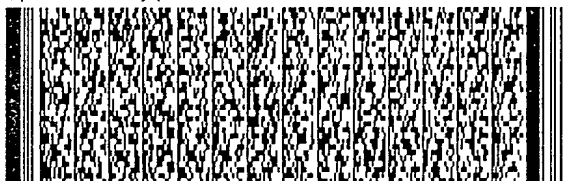
第 3/20 頁



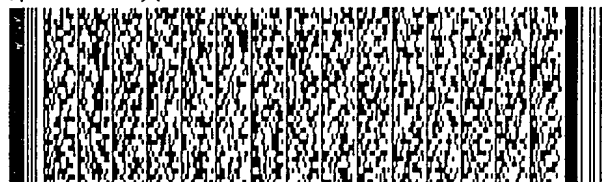
第 5/20 頁



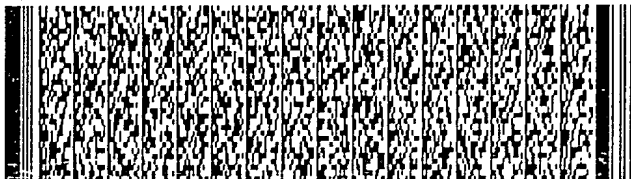
第 7/20 頁



第 8/20 頁



第 9/20 頁



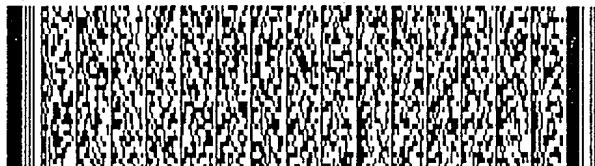
第 10/20 頁



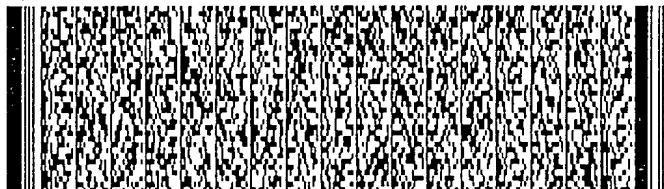
第 1/20 頁



第 3/20 頁



第 4/20 頁



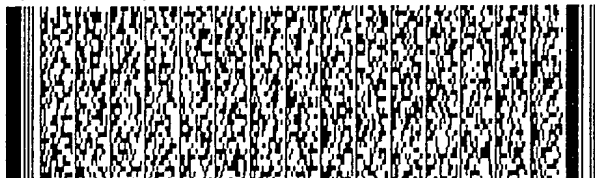
第 6/20 頁



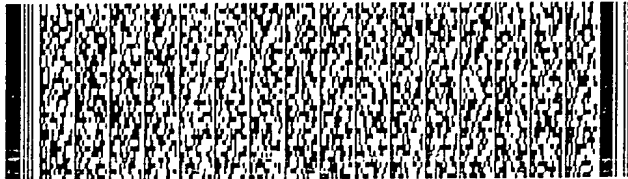
第 7/20 頁



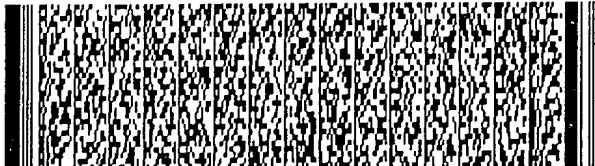
第 8/20 頁



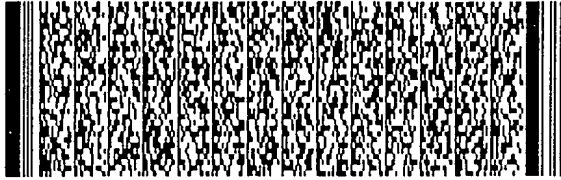
第 9/20 頁



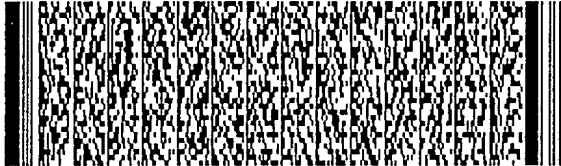
第 10/20 頁



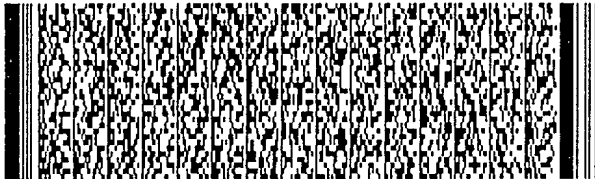
第 11/20 頁



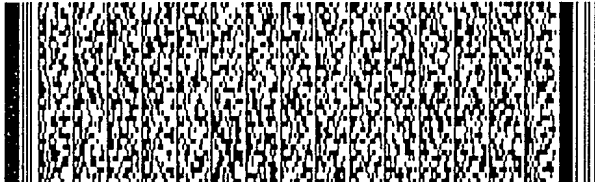
第 12/20 頁



第 13/20 頁



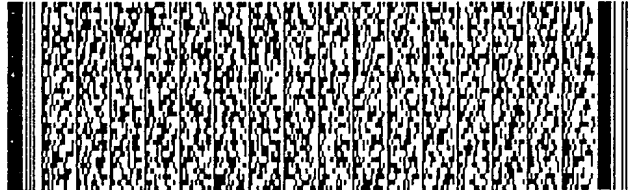
第 14/20 頁



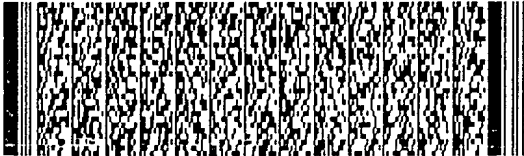
第 15/20 頁



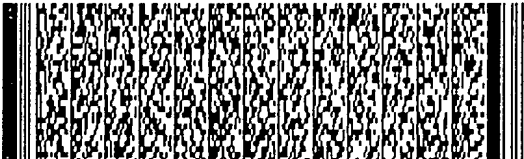
第 16/20 頁



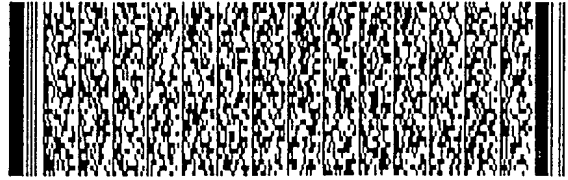
第 18/20 頁



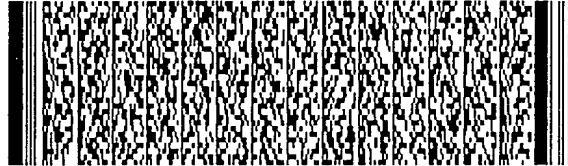
第 19/20 頁



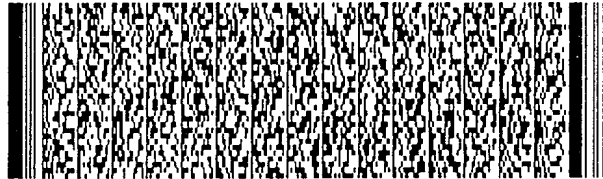
第 11/20 頁



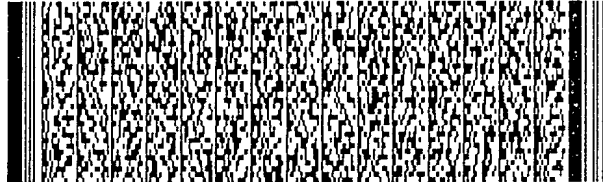
第 12/20 頁



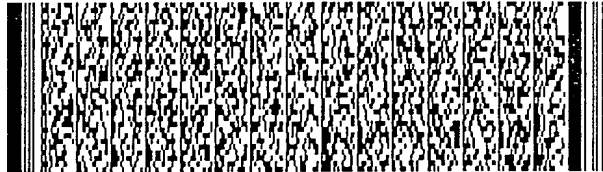
第 13/20 頁



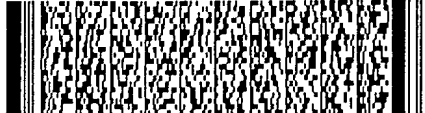
第 14/20 頁



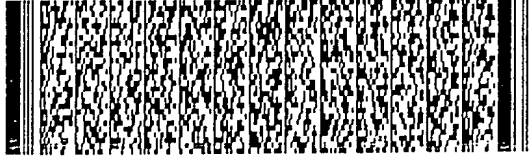
第 15/20 頁



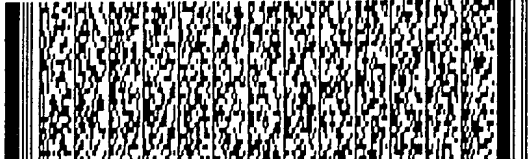
第 17/20 頁



第 18/20 頁



第 19/20 頁





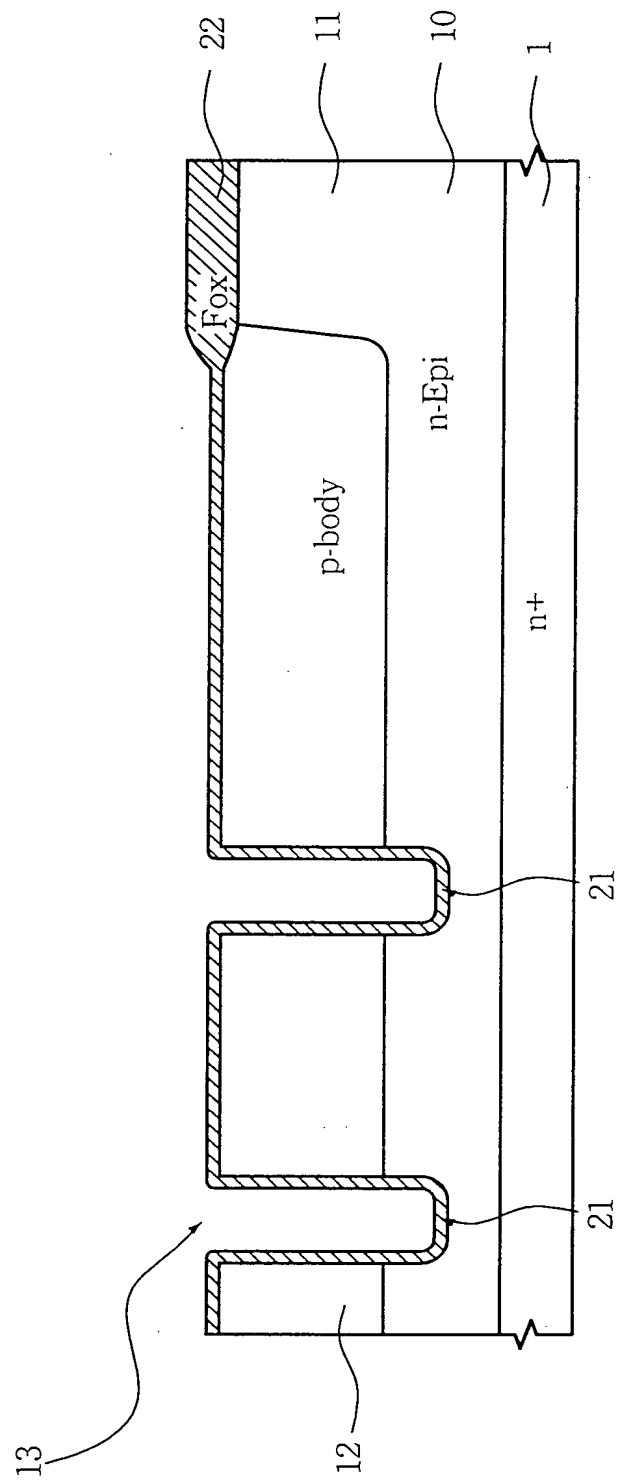


圖 一 B

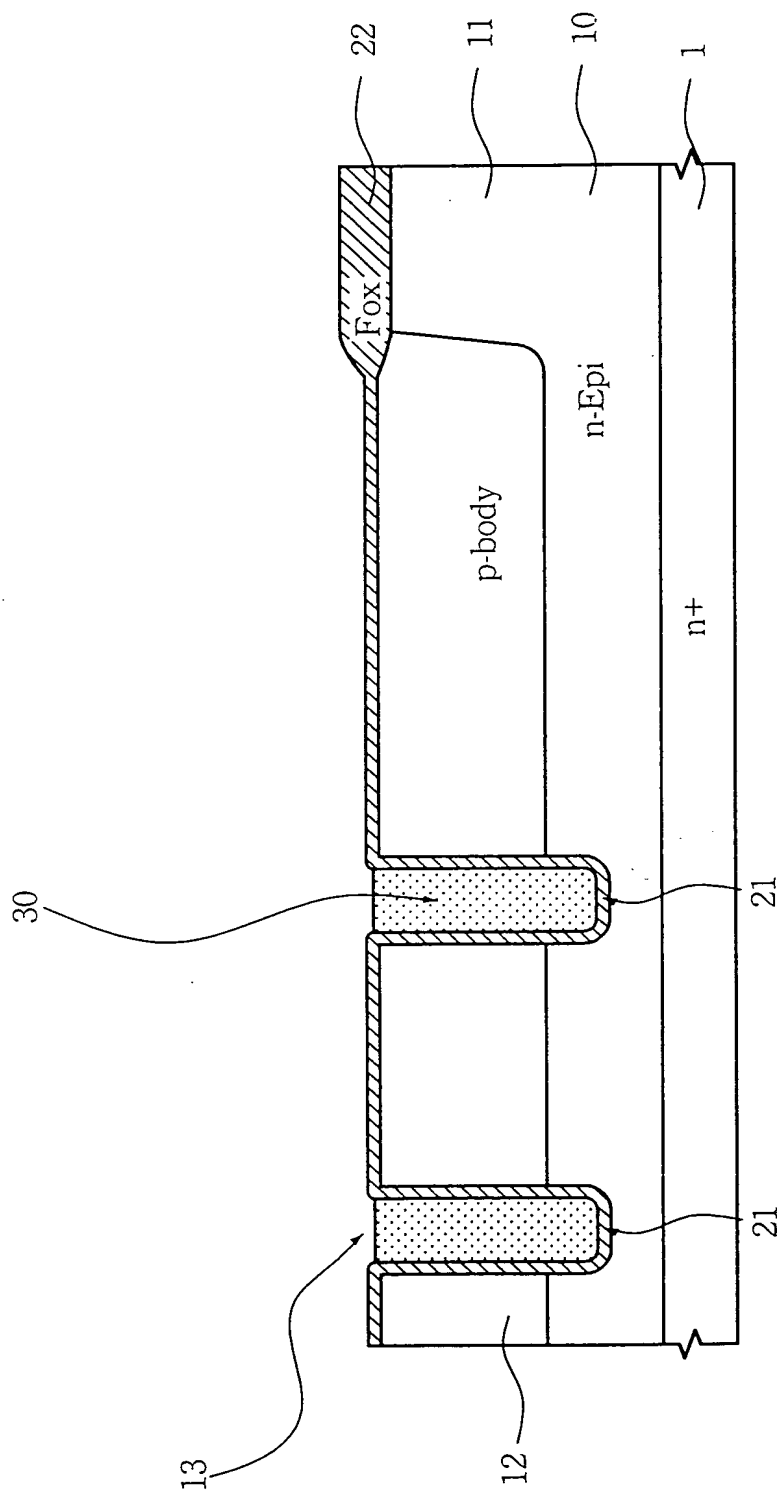


圖 一 C

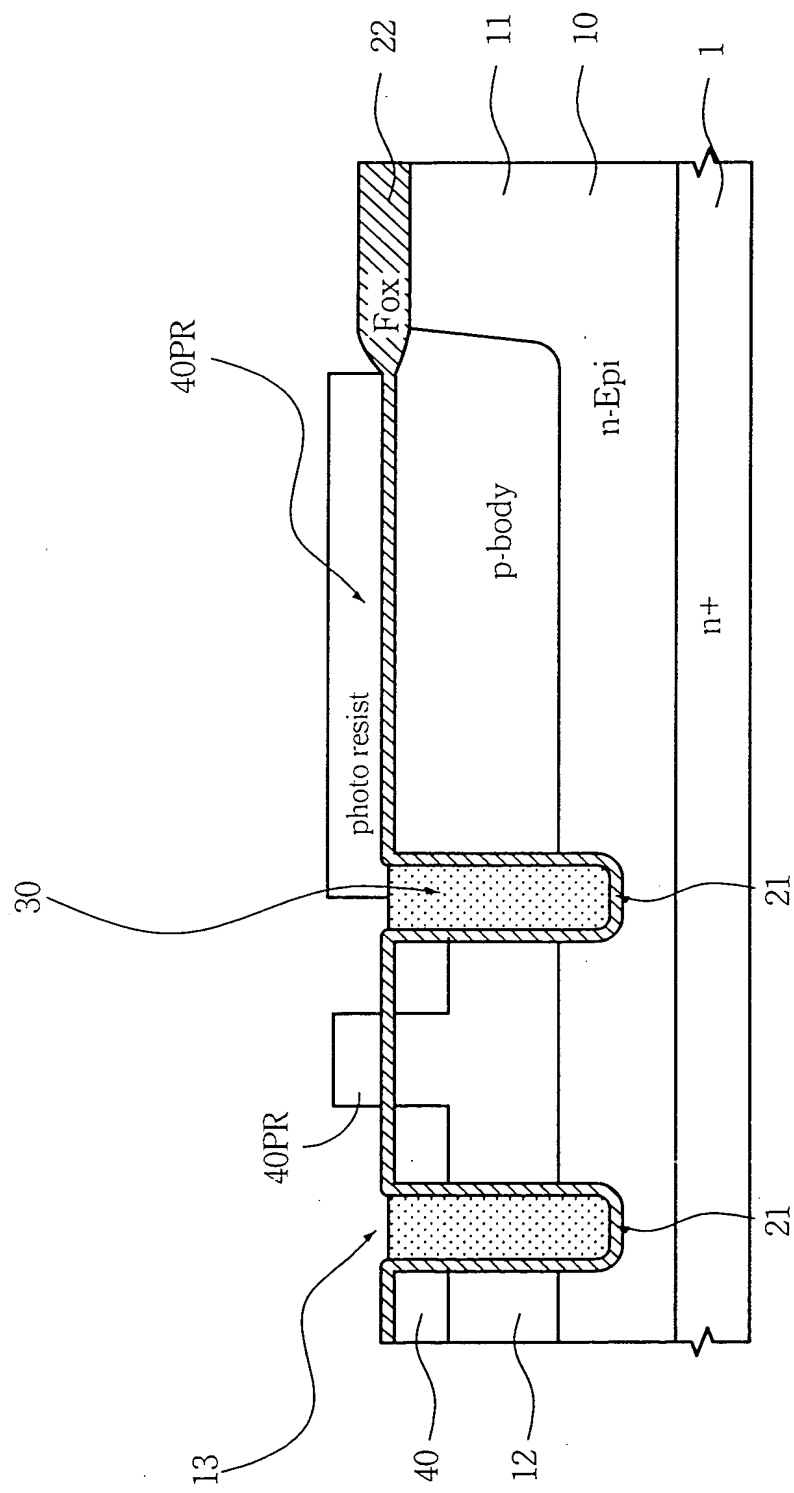


圖 — D

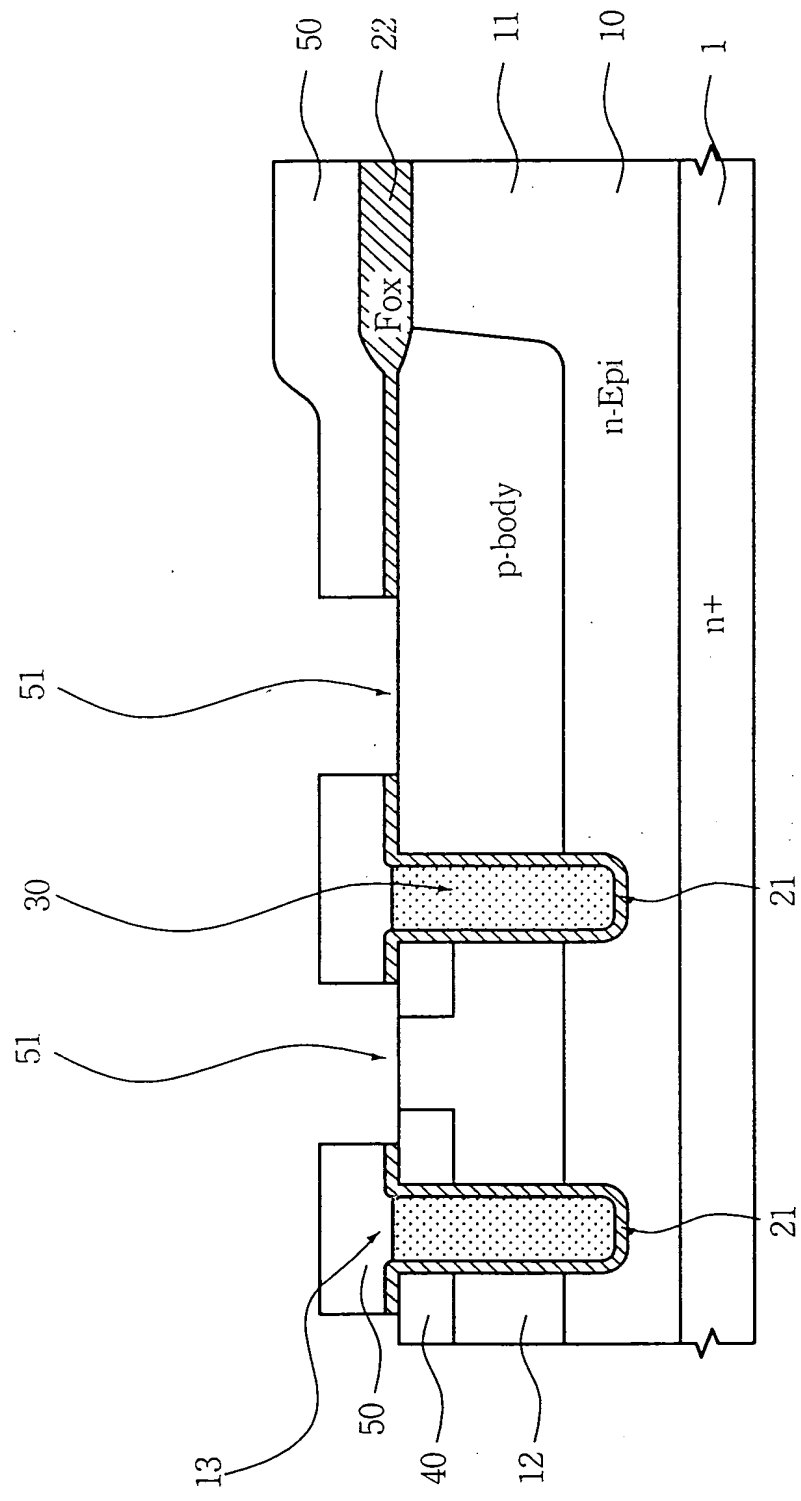


圖 一 E

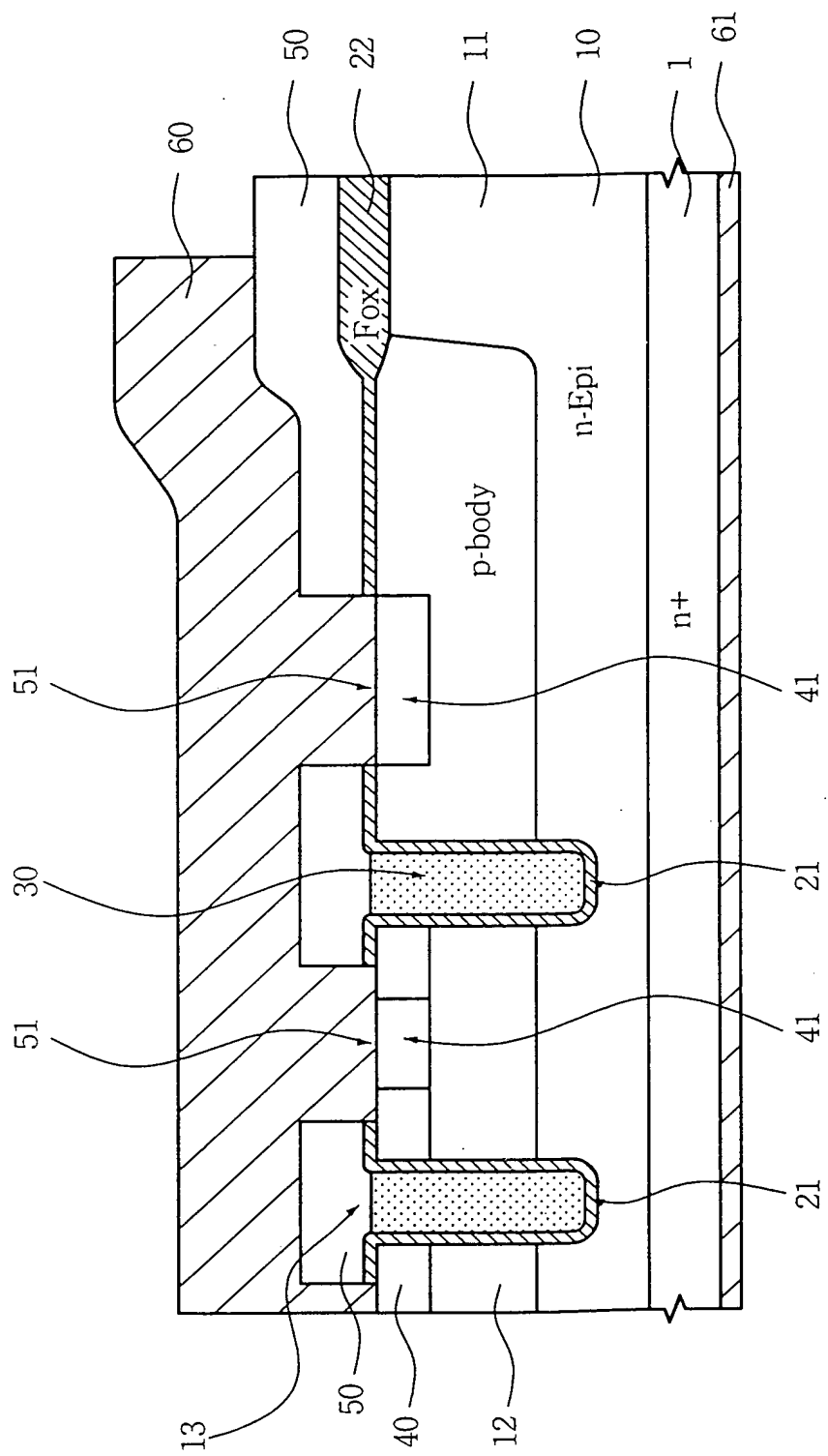
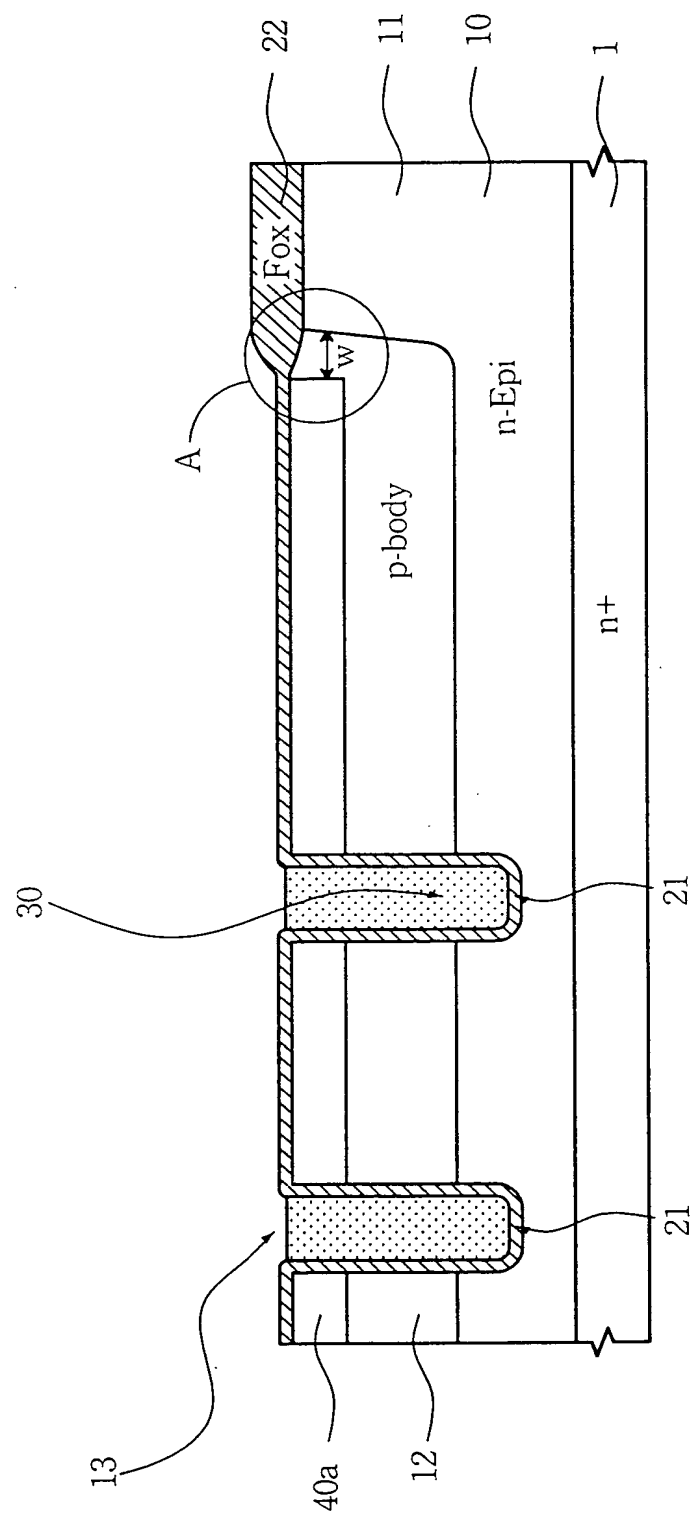
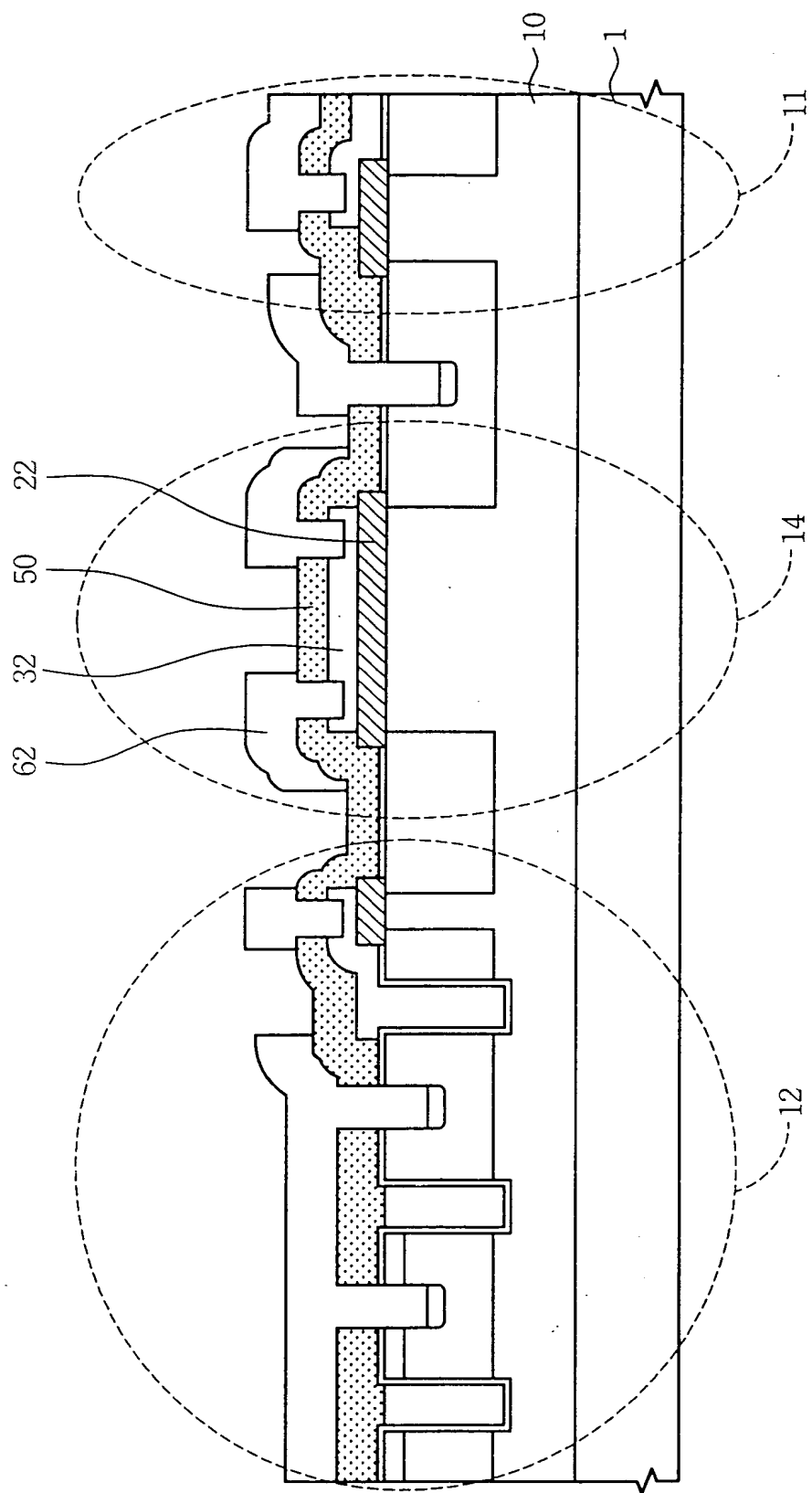


圖 — F



二 圖



三
回

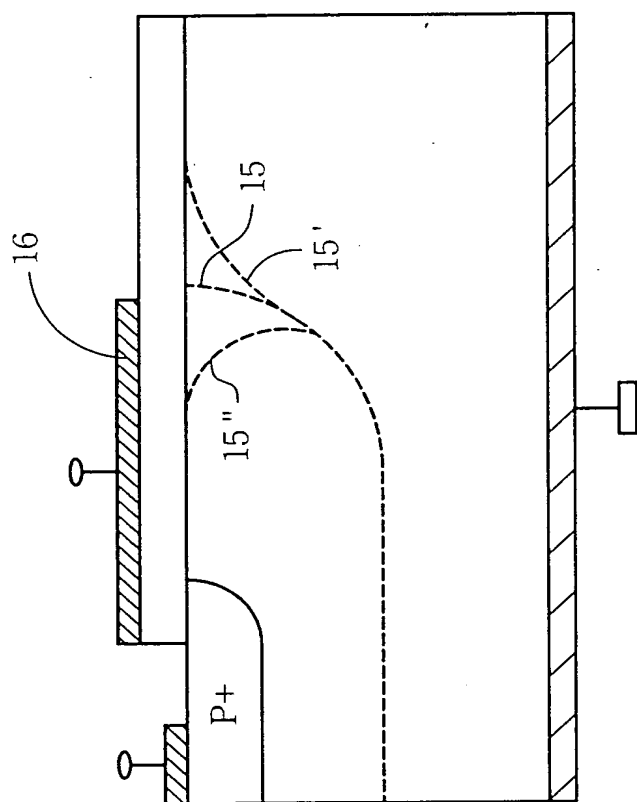


圖 四 A

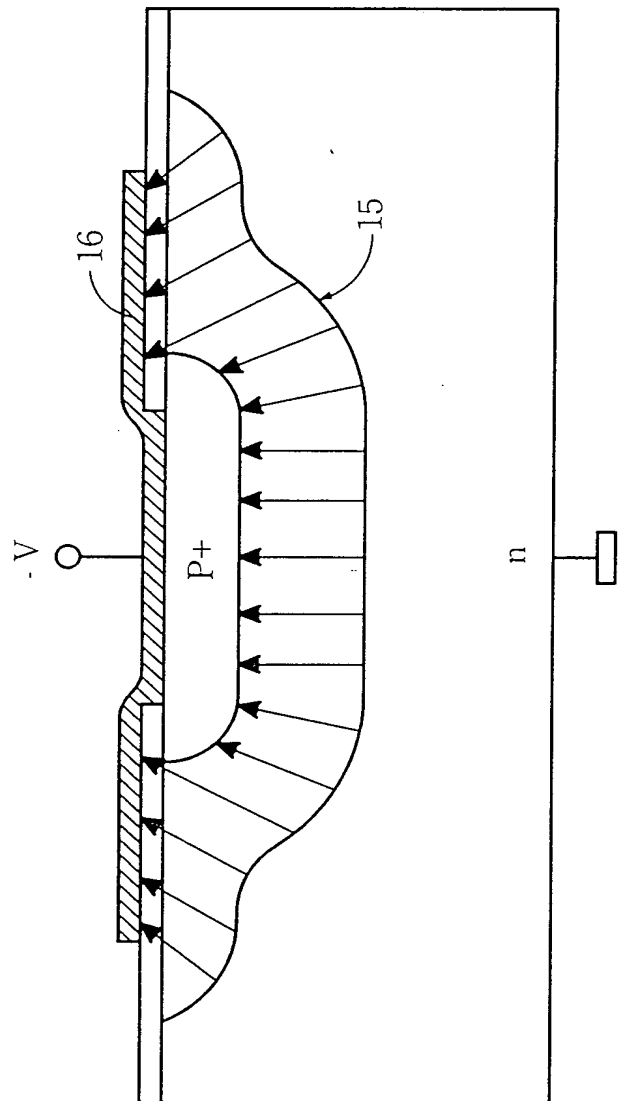


圖 四 B

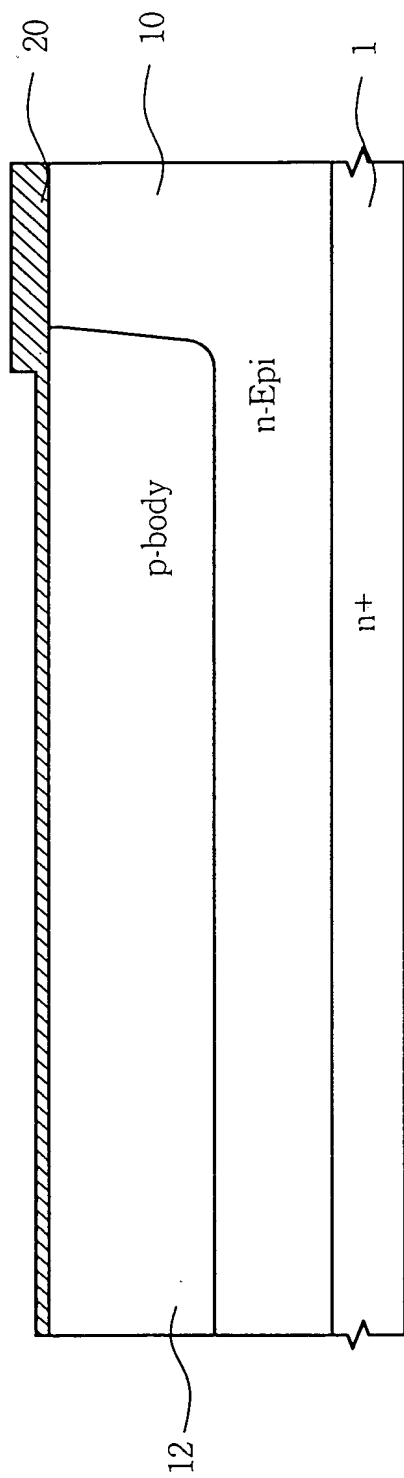


圖 五 A

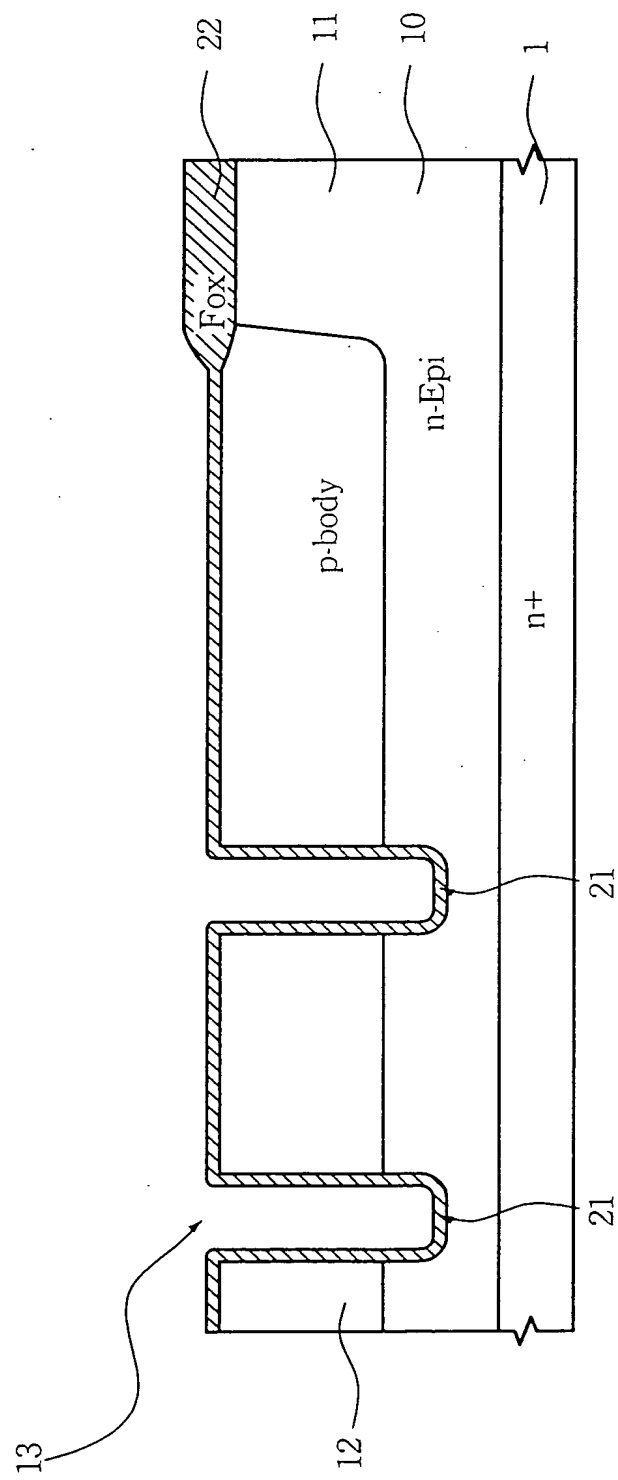


圖 五 B

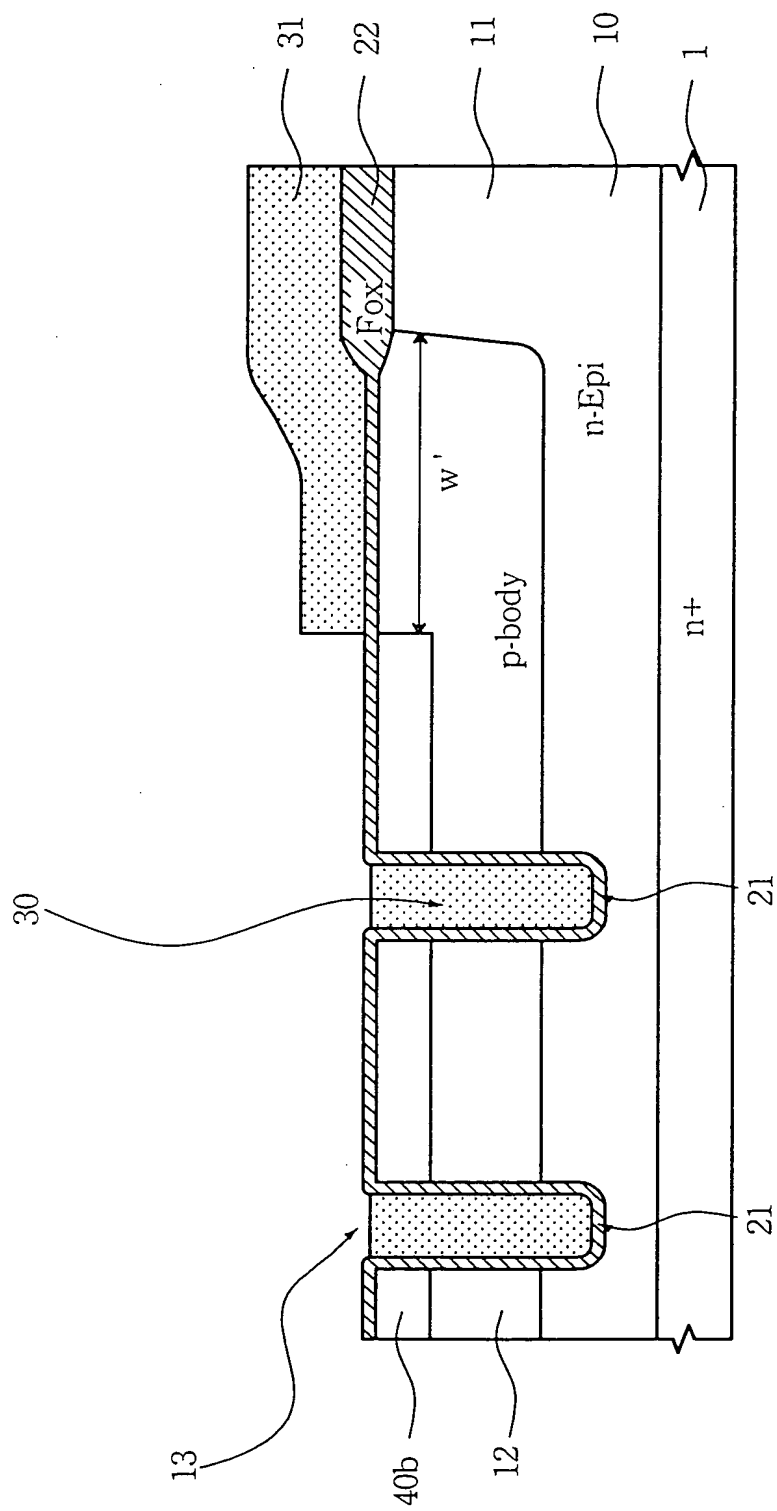


圖 五 C

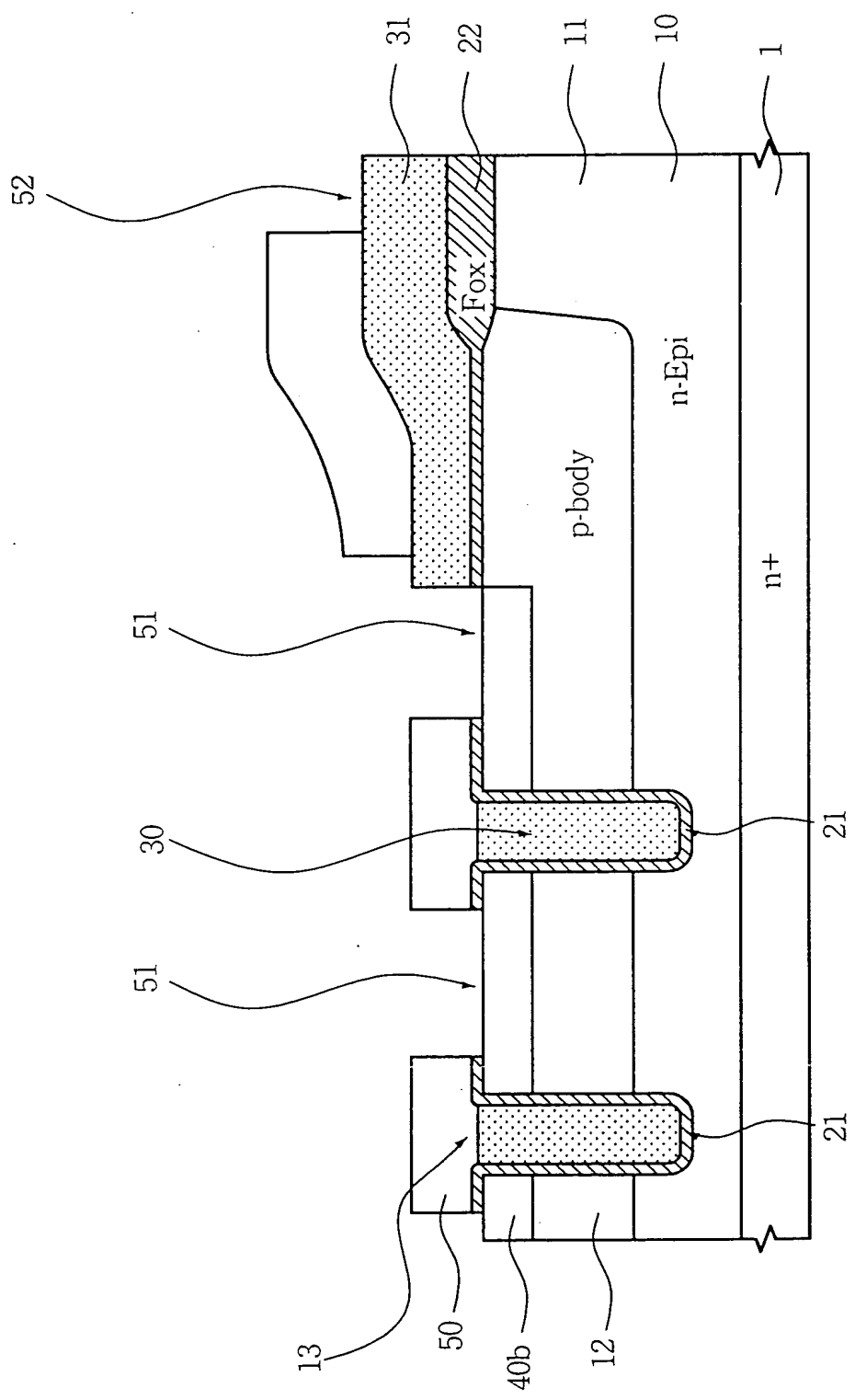
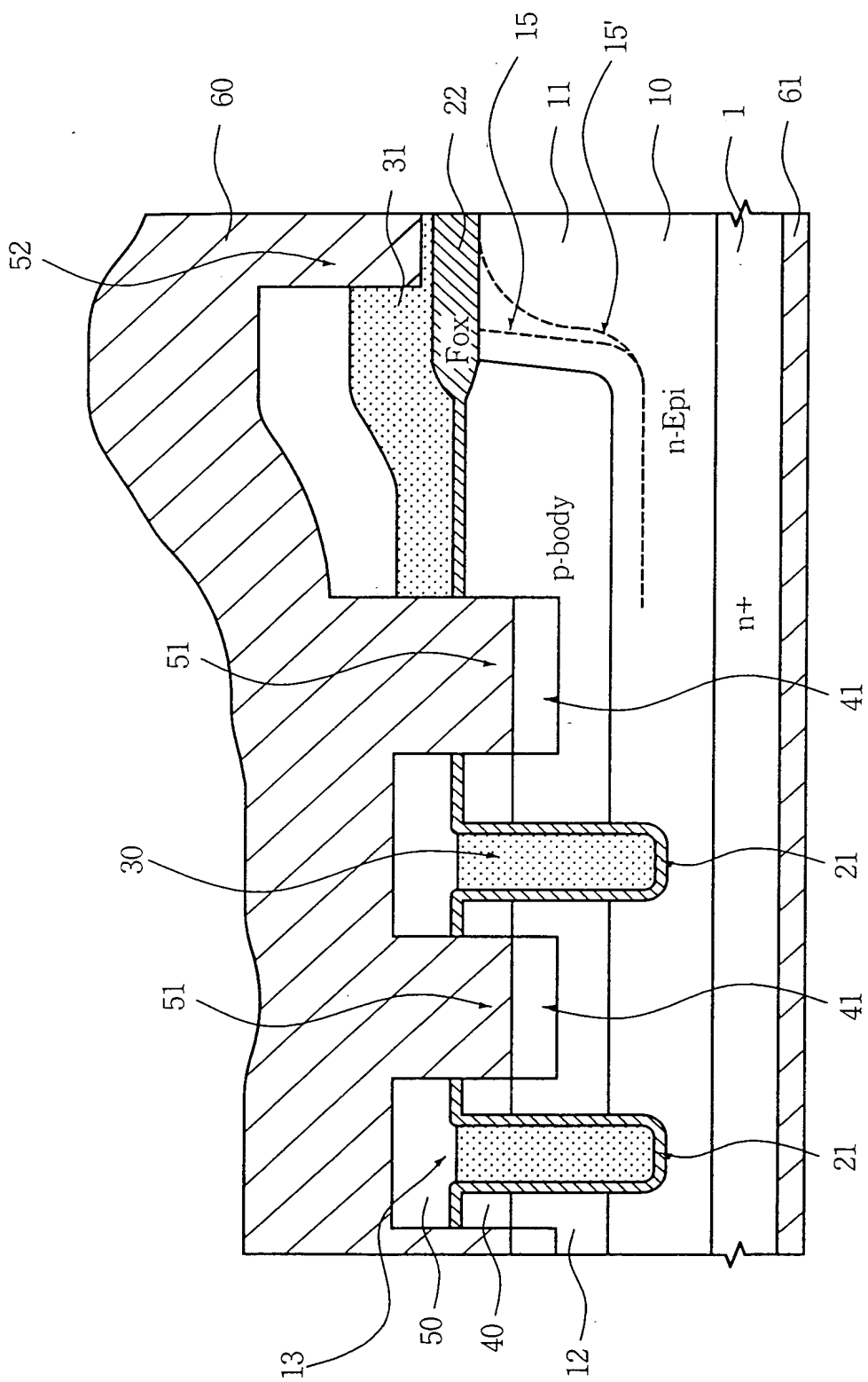


圖 五 D



圖六

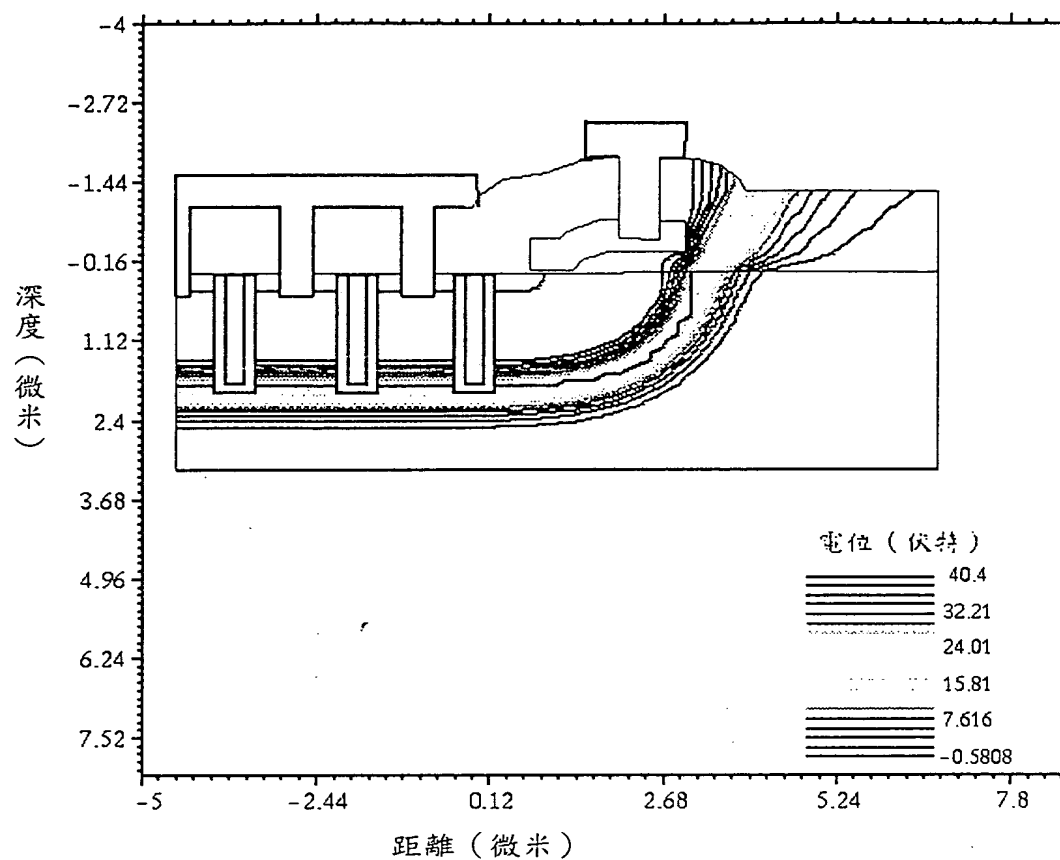
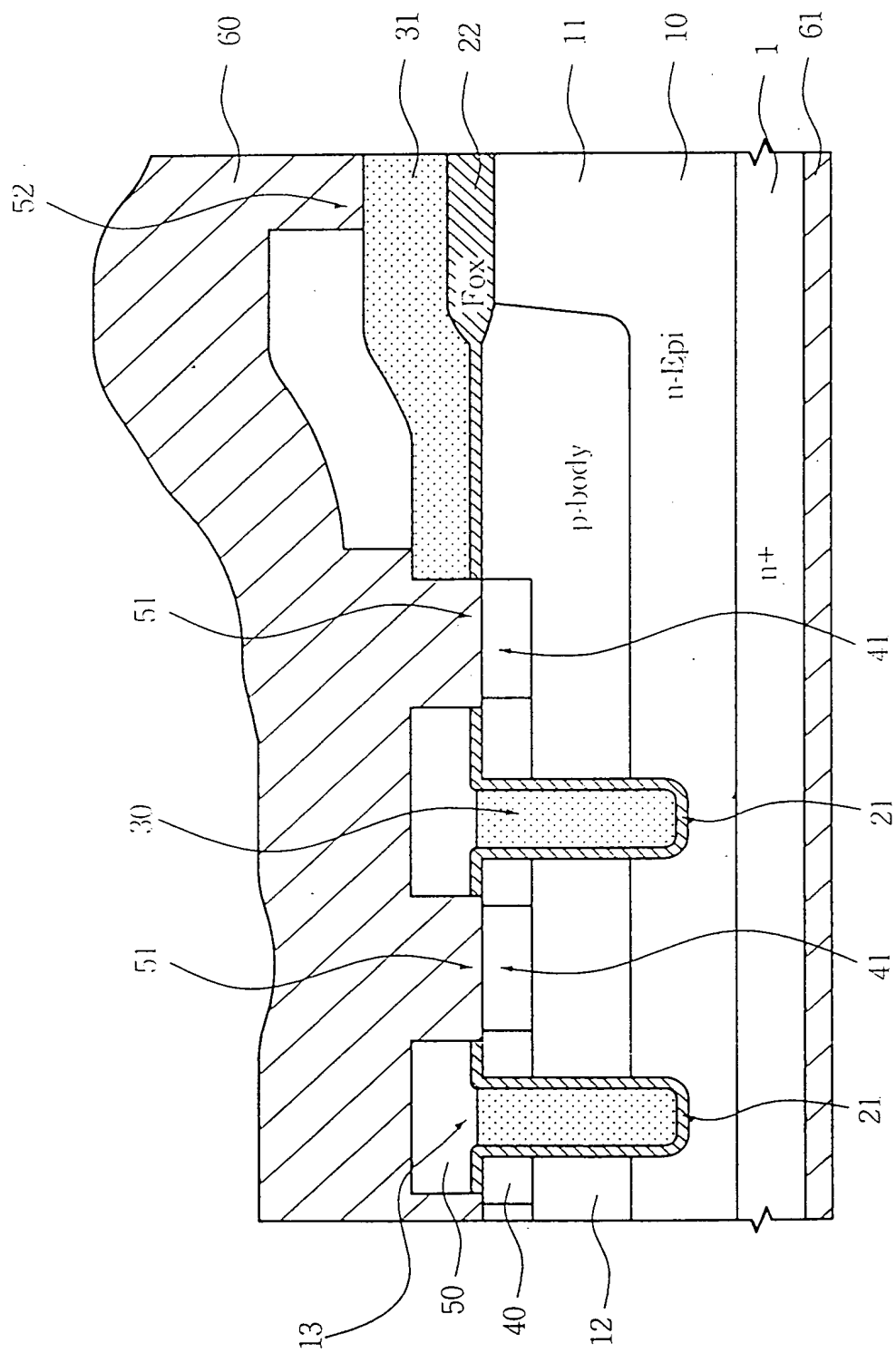


圖 七



人回